

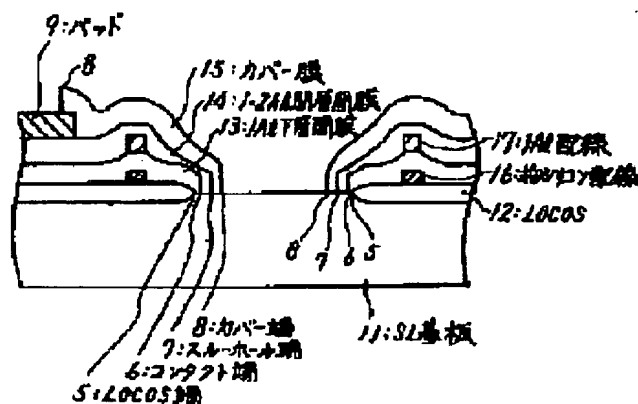
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Publication number: JP6163688
Publication date: 1994-06-10
Inventor: CHATANI MASAO
Applicant: NIPPON ELECTRIC CO
Classification:
- international: H01L21/78; H01L21/70; (IPC1-7): H01L21/78
- european:
Application number: JP19920311923 19921120
Priority number(s): JP19920311923 19921120

Report a data error here

Abstract of JP6163688

PURPOSE: To prevent the generation of defects about patterns, film thickness or the like caused by an offset between a chip and a scribe area on a wafer. **CONSTITUTION:** A polysilicon wiring 16 is raised and formed on a wafer on an element formation area (LOCOS12) near a boundary between an element formation area and a scribe area in such a fashion that it may envelop the whole element formation area. Furthermore, an 1Al wiring 17 is formed on an 1Al lower layer-to-lower layer film 13 in a similar manner to the polysilicon wiring 16. This construction makes it possible to prevent a coating liquid from flowing into the scribe area when coating a photoresist and silica and equalize the thickness of a coated film in the element formation area, thereby prevent defects about patterns and film thickness.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-163688

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁵

H 0 1 L 21/78

識別記号

庁内整理番号

F I

技術表示箇所

L 8617-4M

審査請求 有 請求項の数 2(全 5 頁)

(21)出願番号 特願平4-311923

(22)出願日 平成4年(1992)11月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 茶谷 雅夫

東京都港区芝五丁目7番1号 日本電気株式会社内

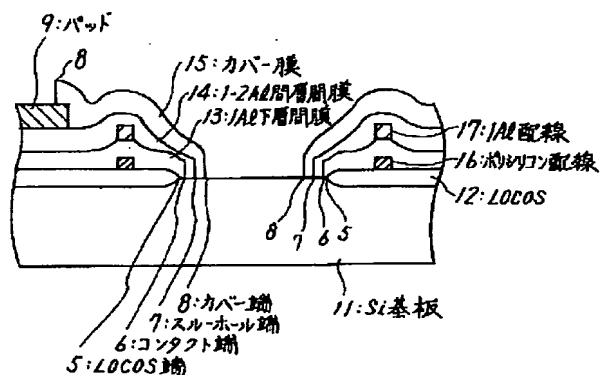
(74)代理人 弁理士 菅野 中

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 ウェハーの上でのチップとスクライブ領域との段差によるパターン異常、膜厚異常等を防止する。

【構成】 ウェハー上で素子形成領域とスクライブ領域の境界近傍の素子形成領域上(LOCOS12上)に、ポリシリコン配線16を素子形成領域全体を囲むように隆起して形成し、さらに1A1下層間膜13に、ポリシリコン配線16と同様に1A1配線17を形成する。これにより、1A1以降のフォトリソの塗布、シリカ塗布時に塗布液のスクライブ領域への流れ込みを防止し、素子形成領域での塗布膜の膜厚を均一化してパターン異常、膜厚異常を防止する。



【特許請求の範囲】

【請求項 1】 半導体基板上に半導体素子形成領域とスクライブ領域とを有する半導体集積回路装置であって、スクライブ領域は、半導体素子形成領域を分割するものであり、

スクライブ領域と半導体素子形成領域との境界近傍には、土手部が隆起して形成され、

該土手部は、半導体素子形成領域を取り囲み、半導体素子形成領域からスクライブ領域への塗布液等の流れ込みを阻止するものであることを特徴とする半導体集積回路装置。

【請求項 2】 前記土手部は、少なくともポリシリコン膜、ポリシリコンと金属ケイ化物との複層膜又は金属膜の配線であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置の構造に関し、特にスクライブ領域近傍の構造に関する。

【0002】

【従来の技術】一般に半導体集積回路装置には、ウェハー上に形成された複数のチップを分離するためのスクライブ領域がある。図 3、4 は、従来例 1 に係る半導体集積回路装置のスクライブ領域を示す図である。Si 基板 11 上のスクライブ領域には、LOCOS 12 が形成されず、1A1 下層間膜 13、1-2A1 層間膜 14、カバー膜 15 のそれぞれをパターニングし、かつエッチングすることにより、Si 基板 11 を露出させ、それぞれ LOCOS 端 5、コンタクト端 6、スルーホール端 7、カバー端 8 が形成されていた。9 はパッドである。

【0003】また、特開平 3-116946 号公報に記載された従来例 2 では図 5 に示すように、Si 基板 11 の素子領域 20 をエッチング処理してスクライブ領域 19 より低くした後、従来例 1 と同様な工程で半導体集積回路を形成する構造を提案している。

【0004】さらに特開平 3-263853 号公報に記載された従来例 3 では、図 6 (a)、(b) に示すように、従来例 1 のようにスクライブ領域の層間膜をパターニング、エッチングすることにより、Si 基板 11 を露出させるのではなく、スクライブ領域 19 には LOCOS 12 を形成せず、1A1 下層間膜 13 に細長いコンタクト 4 を複数形成し、このコンタクト 4 をカバーし、さらにスルーホール 21 の台座となるように 1A1 配線 17 を形成する。同様に 1-2A1 層間膜 14 に細長いスルーホール 21 を形成し、このスルーホール 21 をカバーするように 2A1 配線 18 を形成し、パッド 9 以外の領域には、カバー膜 15 を残す構造となっている。

【0005】

【発明が解決しようとする課題】図 3 及び図 4 に示す従

来例 1 では、スクライブ領域の Si 基板を最終的に露出させるため、スクライブ領域の LOCOS を形成せず、図 4 のようにコンタクト、スルーホール、カバー工程で各層間膜をエッチングしているため、大きな段差が形成され、素子形成領域に対しスクライブ領域が大きく凹んだ形状となる。この凹みは、製造工程におけるフォトリソの塗布、層間膜形成時のシリカ塗布布等において、塗布膜の局所的薄膜化の原因となり、パターニング異常、層間膜異常を引き起こすという問題点があった。

【0006】また、図 5 に示す従来例 2 は、従来例 1 の欠点を解決するため、予め Si 基板の素子形成領域のみをエッチングしてスクライブ領域よりも低くしておき、従来例 1 と同様の製造方法を用いて最終的に素子形成領域とスクライブ領域の段差を少なくする方法であるが、Si 基板のエッチングはフォトリソグラフィ工程、エッチング工程等の多くの追加工程が必要であり、また、そのエッチングもかなりの量が必要である。

【0007】さらにエッチング後の平坦性、ダメージ等も十分な注意が必要となり、工程増加、特性悪化等の問題がある。

【0008】図 6 に示す従来例 3 でも、従来例 1 の欠点を解決するための方法であるが、スクライブ領域に目合せ用パターン、チェック用パターン、その他の周辺パターンを挿入した場合は、平坦化できず、従来例 1 と同様の問題が発生し、またスクライブ領域に層間膜、配線金属等が残っているため、ダイシング時にダイサーの刃の寿命を短くしたり、チップクラック等が発生したりするという問題がある。

【0009】本発明の目的は、スクライブ領域への塗布液の流れ込みを防止し、パターン異常、膜厚異常等を防止する半導体集積回路装置を提供することにある。

【0010】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体集積回路装置は、半導体基板上に半導体素子形成領域とスクライブ領域とを有する半導体集積回路装置であって、スクライブ領域は、半導体素子形成領域を分割するものであり、スクライブ領域と半導体素子形成領域との境界近傍には、土手部が隆起して形成され、該土手部は、半導体素子形成領域を取り囲み、半導体素子形成領域からスクライブ領域への塗布液等の流れ込みを阻止するものである。

【0011】また、前記土手部は、少なくともポリシリコン膜、ポリシリコンと金属ケイ化物との複層膜又は金属膜の配線である。

【0012】

【作用】素子形成領域とスクライブ領域の境界近傍の素子形成領域に、ポリシリ、配線金属のうち 1 層以上の配線を素子形成領域を囲むように形成してあるため、塗布液の流れ込みを配線にて防止する。

【0013】

【実施例】次に本発明について図面を参照して説明する。図1(a)は、本発明の一実施例を示す平面図、図1(b)は、(a)のA部拡大図、図2は図1(b)のA-A'線断面図である。

【0014】図において、本発明に係る半導体集積回路装置は、Siウェハ1、チップ2、スクライブ領域3、LOCOS端5、コンタクト端6、スルーホール端7、カバー端8、パッド9、ポリシリコン、1A1配線10、Si基板11、LOCOS12、1A1下層間膜13、1-2A1間層間膜14、カバー膜15、ポリシリコン配線16、1A1配線17により構成される。

【0015】さらに本発明では、スクライブ領域のLOCOS端5から素子形成領域側に5 μ m入ったLOCOS12上に、幅3 μ mのポリシリコン配線16をチップ2を囲むようにチップ外周全体に形成し、同様に1A1下層間膜13上にポリシリコン配線16とオンラインで、幅3 μ mの1A1配線17をチップで囲むようにチップ外周全体に形成してある。

【0016】製造上では、1A1下層間膜13のスクライブ領域での形状は、下層の段差がLOCOS段差のみのため、比較的平坦であり、コンタクト形状時のフォトレジスト塗布膜厚は、素子形成領域とスクライブ領域でほぼ均一である。しかし、コンタクトの開口後は、スクライブ領域にコンタクト端6による段差が形成され、ポリシリコン配線16が無い場合、アルミスパッタ後の1アルミ工程での周辺領域のフォトレジスト塗布膜は、スクライブ領域に流れ込み薄膜化し、パターン異常を起こす場合がある。

【0017】ポリシリコン配線16がある場合、1A1下層間膜13が図2のように凸状に隆起し、フォトレジスト塗布膜のスクライブ領域への流れ込みを防止する。

【0018】さらに、1A1下層間膜13上にポリシリコン配線16と同様に1A1配線17を形成すれば、図2に示すように高い壁が形成され、1-2A1層間膜14の形成時にシリカ塗布膜を使用した場合でも、スクライブ領域へのシリカ塗布膜の流れ込みを防止し、チップ周辺領域でも層間膜薄膜化を防止する。その後の2A1形成時のフォトリソグラフィ工程でも同様である。

【0019】

【発明の効果】以上説明したように本発明は、ウェハ*40

*の素子形成領域とスクライブ領域の境界近傍の素子形成領域上に、素子形成領域を囲むようにポリシリコン、配線金属等の配線を形成したため、フォトレジスト、シリカ塗布膜等の塗布時に素子形成領域より低いスクライブ領域への塗布膜の流れ込みを防止し、チップ周辺部でのパターン異常、膜厚異常を防止し、均一な膜厚の塗布膜を形成できるという効果を有する。

【図面の簡単な説明】

【図1】(a)は本発明の一実施例を示す平面図、

(b)は(a)のA部拡大図である。

【図2】図1(b)のA-A'線断面図である。

【図3】(a)は従来例1を示す平面図、(b)は(a)のB部拡大図である。

【図4】図3(b)のB-B'線断面図である。

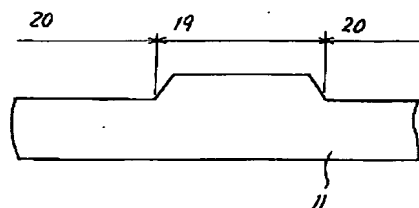
【図5】従来例2を示す断面図である。

【図6】(a)は従来例3を示す平面図、(b)は(a)のC-C'線断面図である。

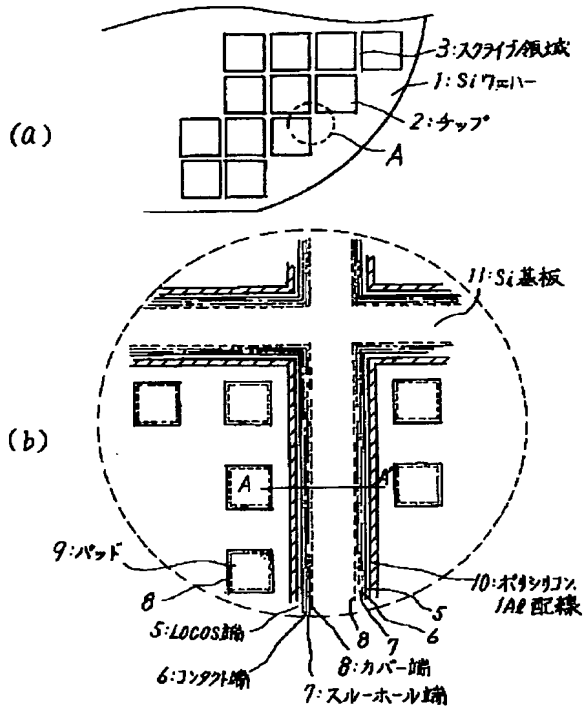
【符号の説明】

- 1 Siウェハ
- 2 チップ
- 3 スクライブ領域
- 4 コンタクト
- 5 LOCOS端
- 6 コンタクト端
- 7 スルーホール端
- 8 カバー端
- 9 パッド
- 10 ポリシリコン、1A1配線
- 11 Si基板
- 12 LOCOS
- 13 1A1下層間膜
- 14 1-2A1間層間膜
- 15 カバー膜
- 16 ポリシリコン配線
- 17 1A1配線
- 18 2A1配線
- 19 スクライブ領域
- 20 素子領域
- 21 スルーホール

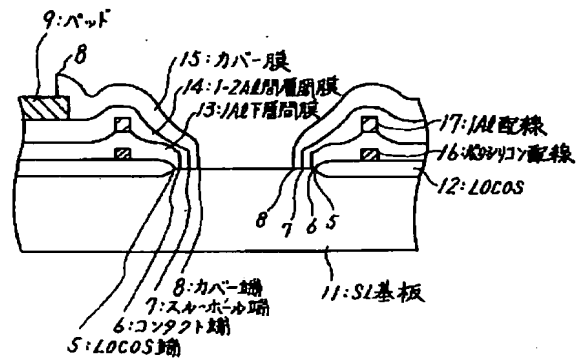
【図5】



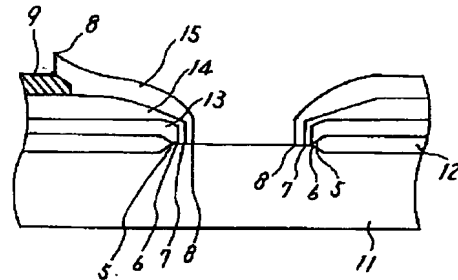
【図1】



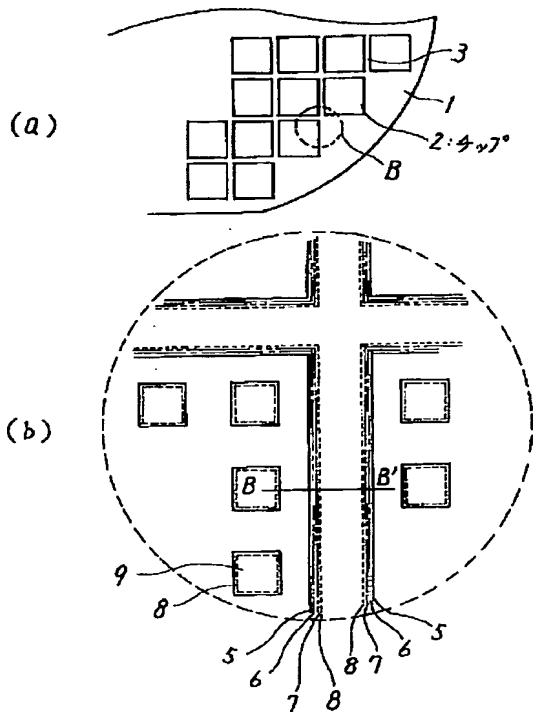
【図2】



【図4】



【図3】



【図6】

